

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-276153  
 (43)Date of publication of application : 22.10.1993

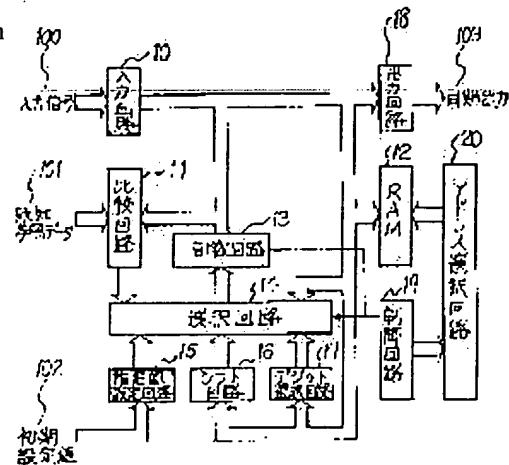
(51)Int.Cl. H04L 7/08  
 H04J 3/06  
 H04L 7/10

(21)Application number : 03-308635 (71)Applicant : NEC CORP  
 (22)Date of filing : 25.11.1991 (72)Inventor : HAMADA TATSUYOSHI

**(54) FRAME SYNCHRONIZATION CIRCUIT****(57)Abstract:**

**PURPOSE:** To manage the realization of plural synchronizations with the minimum increase of hardware, and to deal with the alteration of a parameter, that is, the increase or the decrease of the frame synchronizing bits of a data signal, and the alteration of the stability condition of a frame synchronizing signal and the synchronization by only altering the condition of an initial value or a count value, etc.

**CONSTITUTION:** An input means 10 to select a synchronizing signal, the storage means 12 of the frame synchronizing bit, a synchronization protection deciding count value and synchronizing operation, the counting means 13 of the number of times of coincidence non-coincidence of the synchronizing bit, a comparing means 11 to decide the coincidence between an extracted frame word and a stored frame word, a designated value setting means 15 to input the initial value of the counting means 13, a shifting means 16 to execute addition and subtraction, a digit selecting means 17 to re-write a part of data, a selecting means 14 to select the data from each means 12, 15 to 17 and send it to the counting means 13, a control means 19 to realize continuous frame synchronizing operation procedure, and an address selecting means 20 to determine the storage place of the storage means 12 are provided.

**LEGAL STATUS**

[Date of request for examination] 31.10.1995  
 [Date of sending the examiner's decision of rejection]  
 [Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]  
 [Date of final disposal for application]  
 [Patent number] 2679487  
 [Date of registration] 01.08.1997  
 [Number of appeal against examiner's decision of rejection]  
 [Date of requesting appeal against examiner's decision of rejection]  
 [Date of extinction of right] 01.08.2002

Copyright (C); 1998,2003 Japan Patent Office

BEST AVAILABLE COPY

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

CLAIMS

---

[Claim(s)]

[Claim 1] An input means to choose a synchronizing signal from the digital signal data which superimposed the frame alignment signal, A storage means to store temporarily a frame synchronization bit, the judgment enumerated data of the synchronous protection which judges operational stability of a synchronization, and temporary operating state required for synchronous operation, coincidence and the inequality of the count of incorporation of the sync bit from said input means, or a frame word -- counting -- counting which carries out counting of the count -- with a means A comparison means to judge coincidence with the frame word memorized by the frame WORD or said storage means of the known inputted from the frame WORD extracted from the input data, and the exterior, said counting -- with an assignment value setting means to input the initial value of a means according to external data said counting -- with a shift means of data to perform addition or subtraction processing of a means, and the digit selection means which rewrites some memorized data the data from this assignment value setting means, this shift means, this digit selection means, and this storage means -- choosing -- said counting -- with a selection means to send data to a means The frame synchronization circuit characterized by having the control means which realizes frame synchronization operations sequence continuously time, and an address selection means to decide the storage part of said storage means in response to the procedure.

[Claim 2] The frame synchronization circuit according to claim 1 which said storage means consists of RAM and is characterized by storing temporarily a frame synchronization bit, the synchronous judging bit which is an internal status monitor bit, a frame incorporation completion judging bit, a backward-alignment-guard-time value judging bit, a forward-alignment-guard-time value judging bit and the coincidence judging bit of a WORD detection result, and the judgment enumerated data of coincidence of a frame and an inequality.

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

## DETAILED DESCRIPTION

[Detailed Description of the Invention]

[0001]

[Industrial Application] Especially this invention relates to the frame synchronization circuit which can be processed in the circuit of one kind of basic configuration, even if the number of the class of frame alignment signal of a digital data transmission, synchronous criteria, and the frames that should be processed etc. differs about a frame synchronization circuit.

[0002]

[Description of the Prior Art] Generally, the signal transmission between the transmission equipment of digital data defines a frame as a batch of the repeat for performing signal processing of time series, and has held and sent two or more data streams which should be transmitted into this frame by the transmitting side. In the receiving side, in order to select the data stream in these frames, the frame alignment signal by which superposition transmission is carried out was extracted to the regular time slot (for example, head-of-a-frame) with a frame period, and after establishing the synchronization of this timing, required signal processing has been performed. the method which establishes how many kind thing frame synchronization other than a basic frame to coincidence as multi-framing in this kind of digital signal processing these days -- and frame synchronous communication suitable for LSI is desired, and the method of carrying two or more frame synchronization circuits in large-scale LSI has been taken.

[0003] As this kind of frame synchronization circuit is conventionally shown in the block diagram of \*\*5\*\* Time to include a framing word The sequential input signal 500, The WORD generating circuit 52 which outputs the assignment synchronous WORD beforehand appointed at the WORD detector 50 which detects synchronous WORD from an input signal, The comparator circuit 51 which judges success or failure as compared with this assignment synchronous WORD and the synchronous WORD extracted from the input, The coincidence counting circuit 54 of the so-called backward alignment guard time which carries out counting of whether the count of agreement of the framing word beforehand appointed when synchronous WORD continued agreement is become, The inequality counting circuit 55 of the so-called forward alignment guard time which carries out counting of the count of an inequality of the framing word appointed beforehand, final -- counting of coincidence and the inequality counting circuits 54 and 55 -- a result being inputted and whether they are the criteria of predetermined coincidence or an inequality with the synchronous judging circuit 57 to judge It consists of a hunting control circuit 58 which prevents hunting which repeats alignment recovery actuation by a digital error etc. in a step-out case, and a timing counting circuit 53 which controls the basic timing of the framing word generating circuit 52.

[0004] Next, actuation of the conventional example is explained.

[0005] A frame word is extracted from an input signal 500 by the WORD detecting element 50, and it inputs into a comparator circuit 51. The frame word which drove to another input of a comparator circuit 51 in the timing counting circuit 53 which generates the basic timing of a frame synchronization circuit, and was made in the WORD generating circuit 52 is inputted. The judgment signal of this comparator circuit 51 has inputted coincidence and the inequality of a frame into the coincidence counting circuit 54 and the inequality counting circuit 55 which carry out counting. these counting -- a synchronous judging signal is outputted from the synchronous judging circuit 57 by the result, and halt and control \*\*\*\*\* hunting control of continuation are performed for counting of the timing scaling circuit 53 in the hunting circuit 58. This circuitry is needed to the criteria of one coincidence inequality to which such a frame synchronization circuit was beforehand determined as the framing word of one base, and the number of the defined frames, respectively. Therefore, when the above-mentioned conditions changed or there were other multi-framing synchronizations, only the number corresponding to each case needed this circuitry.

[0006]

[Problem(s) to be Solved by the Invention] This conventional frame synchronization circuit has the fault in which a hard scale increases, in order to realize much frame synchronization to coincidence, since the basic counting circuit of frame synchronization, the counting circuit of coincidence of a frame word and an inequality and the comparison test circuit of a frame word, and a synchronous judging circuit are need independently, respectively. In order to avoid this, it has realized by large-scale LSI etc., but since the class of frame alignment signal, conditions, a number, etc. change according to signal processing diversified in recent years with times then, it is very difficult to develop LSI to whenever [ the ].

[0007] Even if the purpose of this invention changes the class of frame alignment signal, conditions, and a number, it is to offer one numerical counting circuit, one comparison test circuit, and the frame synchronization circuit that performs synchronous establishment in time amount sequential with a storage element.

[0008]

[Means for Solving the Problem] An input means to choose a synchronizing signal from the digital signal data with which the frame synchronization circuit of this invention superimposed the frame alignment signal, A storage means to store temporarily a frame synchronization bit, the judgment enumerated data of the synchronous protection which judges operational stability of a synchronization, and temporary operating state required for synchronous operation, coincidence and the inequality of the count of incorporation of the sync bit from said input means, or a frame word -- counting -- counting which carries out counting of the count -- with a means A comparison means to judge coincidence with the frame word memorized by the frame WORD or said storage means of the known inputted from the frame WORD extracted from the input data, and the exterior, said counting -- with an assignment value setting means to input the initial value of a means according to external data said counting -- with a shift means of data to perform addition or subtraction processing of a means, and the digit selection means which rewrites some memorized data the data from this assignment value setting means, this shift means, this digit selection means, and this storage means -- choosing -- said counting -- with a selection means to send data to a means It has the control means which realizes frame synchronization operations sequence continuously time, and an address selection means to decide the storage part of said storage means in response to the procedure.

[0009]

[Example] Next, this invention is explained with reference to a drawing. The flow chart of a sequence flow in which drawing 1 shows the logic processing by which the block diagram of one example of this invention and drawing 2 are controlled from the control circuit of this example, the timing diagram drawing 3 indicates the relation of the processing time of this example to be, and drawing 4 are the explanatory views explaining the contents of storage to RAM12 of this example. First, if the example of drawing 1 has the frame word newly stored in the comparator circuit 11 in comparison with these known reference data 101 and F bits of inputs, and RAM12 mentioned in addition later when there were the input circuit 10 which carries out a sequential sampling and incorporates a framing bit (henceforth F bits), and a predetermined criteria frame word beforehand, it will read this and will be compared with F bits of inputs. Next, a criteria frame word and storage of each status information in the process of frame-synchronization-operations-sequence mentioned later, And enumerated data (C) of the count of frame incorporation, enumerated data of a coincidence judging of a frame word (Cy), counting in RAM12 and the operations sequence of each process which have memorized criteria, such as enumerated data (Cn) of an inequality judging of a frame word, -- the initial value of the counting circuit 13 which operates, and a counting circuit 13 etc. by the initial value 102 from the outside The addition subtraction processing of the assignment value setting circuit 15 and a counting circuit 13 to set up Some of shift circuits 16 to perform and data The digit selection circuitries 17 to rewrite, these assignment setting circuits 15, the shift circuit 16, the digit selection circuitry 17, the selection circuitry 14 that chooses the data of RAM12 and is sent to a counting circuit 13, the control circuit 19 controlled to perform actuation of each process sequentially time, It consists of output circuits 18 which take out outside the information on the address selection circuit 20 which performs address selection of RAM12 with this control signal, the frame synchronization output signal 103 finally decided, and RAM12 etc.

[0010] Next, drawing 2 and the contents of storage of RAM12 of drawing 4 are also explained with reference to the sequence flow controlled by the control circuit 19. Here, the example which moves from the synchronous condition used as the flow on the left-hand side of step S1 of drawing 2 to a step-out condition is explained. The sample of the F bits of input data is carried out, and they is incorporated in an input circuit 10 (step S2). At this time, through the shift circuit 16, 1 bit shift of the F bit string is carried out to a scaling circuit 13, and the F bits ( drawing 2 8 bit patterns of F1-F8) storing data of the predetermined address (aaaaH) are called to it from RAM12 which stores F bit string to a front frame. The above-mentioned new F bits which carried out the sample are attached to the tail end of said F bit string, and it stores in the predetermined address (aaaaH) of RAM12 by making this into new F bit string. Next, the enumerated data (C) of the F-bit count of incorporation are incorporated from the RAM12 predetermined address (ccccH) to a counting circuit 13, 1 is added, and it stores in the same address again (step S3). When it moves to a next frame synchronization sequence when the count of incorporation is not completed as compared with the enumerated data (C) of the count of incorporation known beforehand, and the actual count of incorporation at this time, and it completes, it moves to a WORD detection sequence (step S4). That is, F bit string is incorporated from the address (aaaaH) to a counting circuit 13 like the above-mentioned. As reference data 101 which are a known criteria frame word, from the exterior, the expected value of frame synchronization is inputted into a comparator circuit 11, and is compared with the value of said counting circuit 13. When the compound value is in agreement, it moves to a next frame sequence, and in the case of an inequality, 1 is added to the inequality judging enumerated data (Cn) stored in the predetermined address (eeeeH) of RAM12 (steps S6 and S7). When this (Cn) does not exceed the enumerated data N decided by the conditions for stability of a synchronization, the (Cn) value is re-stored in said address (eeeeH), and it moves to a next frame synchronization sequence. When (Cn) exceeds (N), it judges with step-out and "0" is written in the assignment bit (S1) of the predetermined address (bbbbH) of RAM12 (1: a synchronization, 0: asynchronous). Furthermore, "0" is written in the (Cy) value of the address (ddddH), and coincidence judging enumerated data are reset (step S8, S9).

[0011] Here explains the internal status monitor bit of the address bbbbH of RAM12 in drawing 4. The judgment bit of whether S1 exceeded the enumerated data (Y: backward-alignment-guard-time value), as for a synchronous judging bit and S2, WORD detection coincidence enumerated data (Cy) are decided by the F bit incorporation completion judging bit, and it is decided by synchronous conditions for stability that S3 will be, the judgment bit of whether as for S4, WORD detection inequality enumerated data (Cn) exceeded enumerated data (N: forward-alignment-guard-time value), and S5 are the coincidence judging bit of a WORD detection result, and the bit which are not directly related to other frame synchronization as for S6-S8. These S1-S5 ] choose 1 bit of relevance of the appointed address of memory by the digit selection circuitry 17 by the break for every judgment, and they operate so that a memory content may be rewritten only for an applicable bit by the selection circuitry 14.

Therefore, the house keeping of frame synchronization is reading these monitor bits, and can be judged easily. For example, a synchronous judging can be immediately understood, if S1 is checked periodically, and synchronous timing required for signal processing can be specified by checking S1 and S5 to coincidence for every frame period.

[0012] it mentioned above -- as -- the assignment value setting circuit 15 -- the initial value of a counting circuit 14, and counting -- it is for inputting the upper assignment value from the initialization input 102, and this changes freely the synchronizing signal and conditions for stability of frame length of arbitration, and it can store in RAM12. It controls the address selection circuit 20 to operate sequentially time, and a control circuit 19 constitutes it so that the address selection circuit 20 may specify the memory address to RAM12, while it performs control of a counting circuit 13 or the whole selection-circuitry 14 grade by the above-mentioned flow. An output circuit 18 outputs an output signal, the above-mentioned status monitor bit, etc. of a synchronous result outside. Frame synchronization is realizable by performing the above processing repeatedly one by one like the timing diagram shown in drawing 3 : Moreover, although the flow on the right-hand side of the sequence flow of drawing 2 expresses the processing sequence of an alignment recovery process from the step-out condition, it is realizable by the same sequence with having explained in the top.

[0013]

[Effect of the Invention] according to [ as explained above ] this invention -- frame synchronization processing -- one counting -- a means, a storage means to store enumerated data, a frame word, etc. temporarily, and the comparison test means of enumerated data or a frame word -- and, by having the control circuit which repeats frame synchronization continuously in time amount sequential, also when realizing two or more frame synchronization, it can realize by the minimum hard increment. And it is effective in the ability to respond flexibly only by changing conditions, such as initial value and enumerated data, to modification of a parameter, i.e., the change in the frame synchronization bit of a data signal, modification of a frame alignment signal, and modification of the conditions for stability of a synchronization.

---

[Translation done.]

\* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

1. This document has been translated by computer. So the translation may not reflect the original precisely.
2. \*\*\*\* shows the word which can not be translated.
3. In the drawings, any words are not translated.

---

DESCRIPTION OF DRAWINGS

---

[Brief Description of the Drawings]

[Drawing 1] It is the block diagram of the frame synchronization circuit of one example of this invention.

[Drawing 2] It is the sequence flow Fig. of the frame synchronization circuit of this example.

[Drawing 3] It is the timing diagram which shows the relation of the processing time of this example.

[Drawing 4] It is the explanatory view showing the contents of storage of RAM of this example.

[Drawing 5] It is the block diagram of the conventional frame synchronization circuit.

[Description of Notations]

- 10 Input Circuit
- 11 Comparator Circuit
- 12 RAM
- 13 Counting Circuit
- 14 Selection Circuitry
- 15 Assignment Value Setting Circuit
- 16 Shift Circuit
- 17 Digit Selection Circuitry
- 18 Output Circuit
- 19 Control Circuit
- 20 Address Selection Circuit
- 50 WORD Detector
- 51 Comparator Circuit
- 52 WORD Generating Circuit
- 53 Timing Counting Circuit
- 54 Coincidence Counting Circuit
- 55 Inequality Counting Circuit
- 56 Hunting Control Circuit
- 57 Synchronous Judging Circuit

---

[Translation done.]

## \* NOTICES \*

Japan Patent Office is not responsible for any damages caused by the use of this translation.

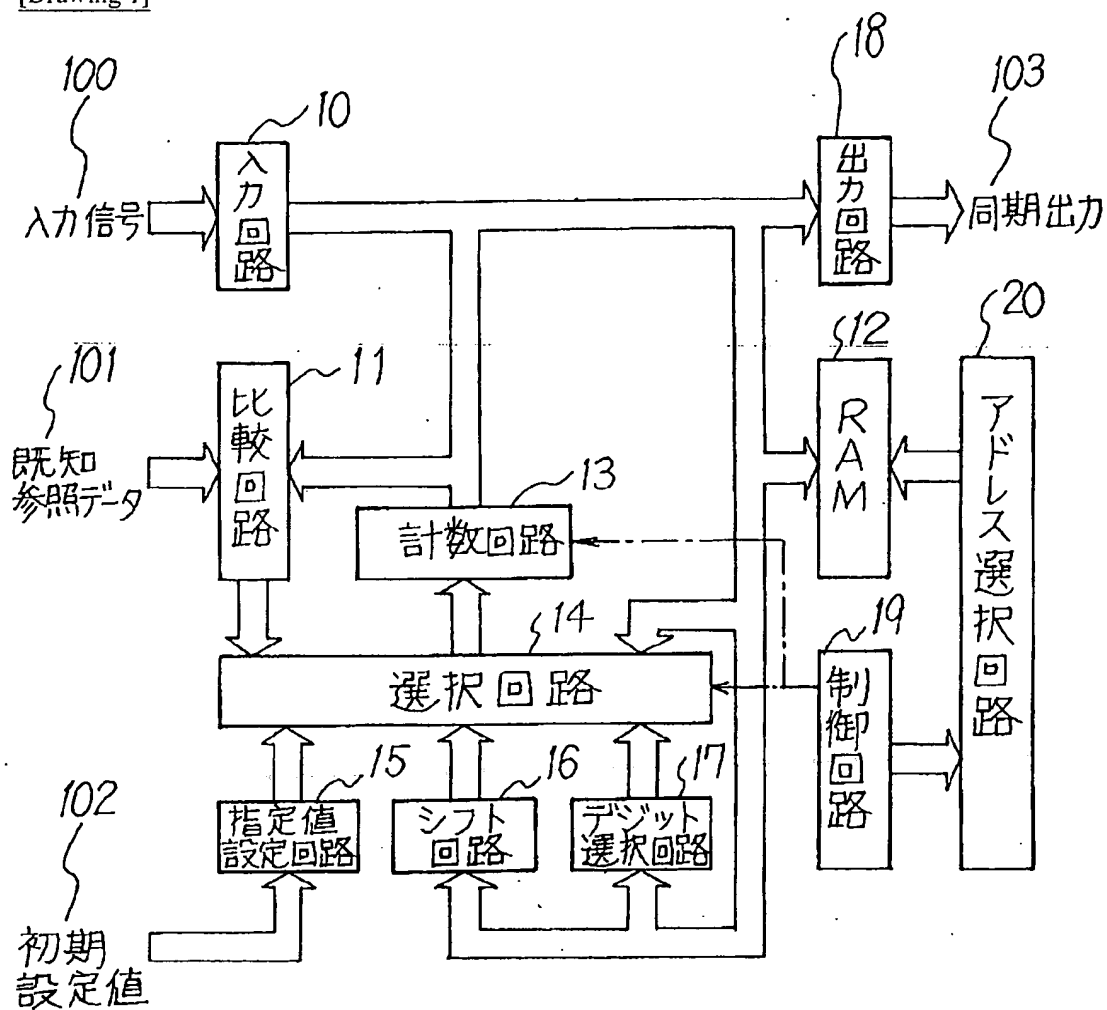
1. This document has been translated by computer. So the translation may not reflect the original precisely.

2. \*\*\*\* shows the word which can not be translated.

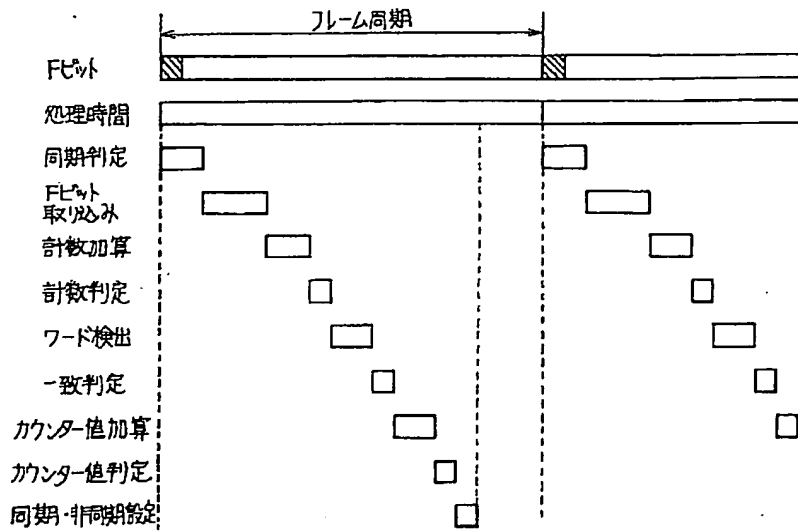
3. In the drawings, any words are not translated.

## DRAWINGS

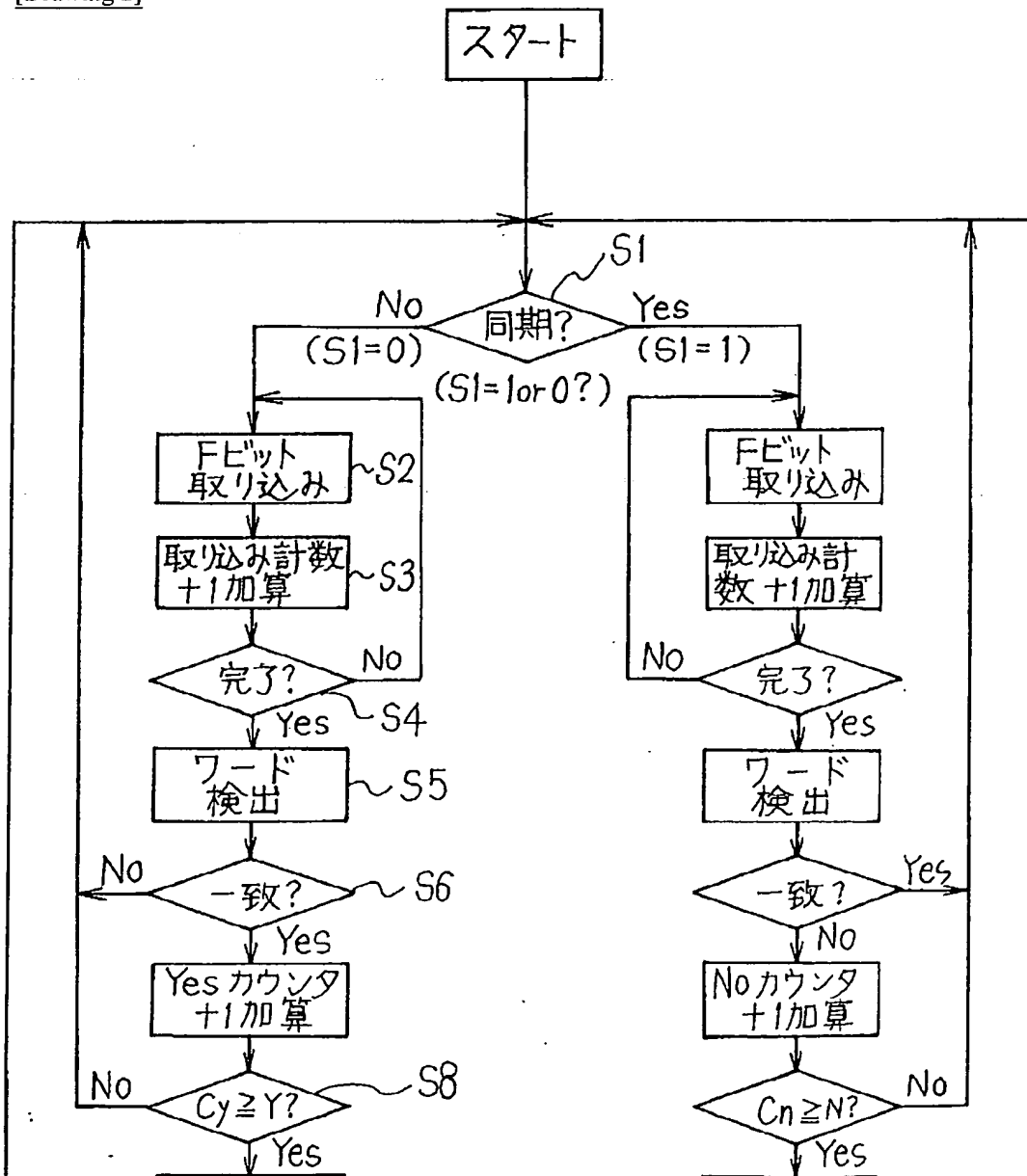
[Drawing 1]



[Drawing 3]

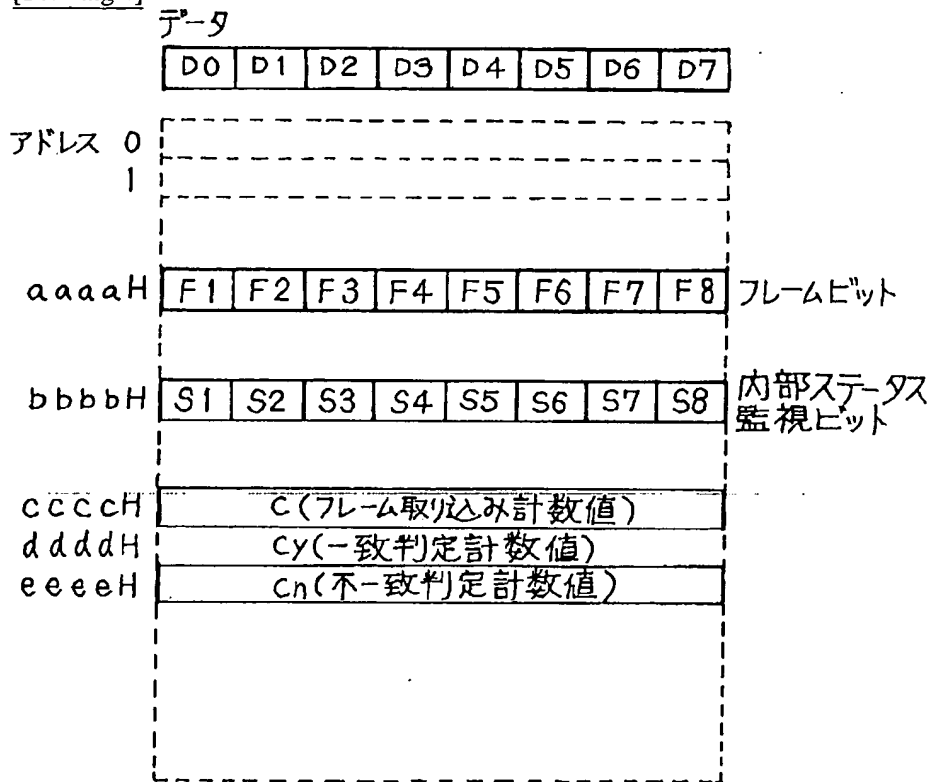


[Drawing 2]

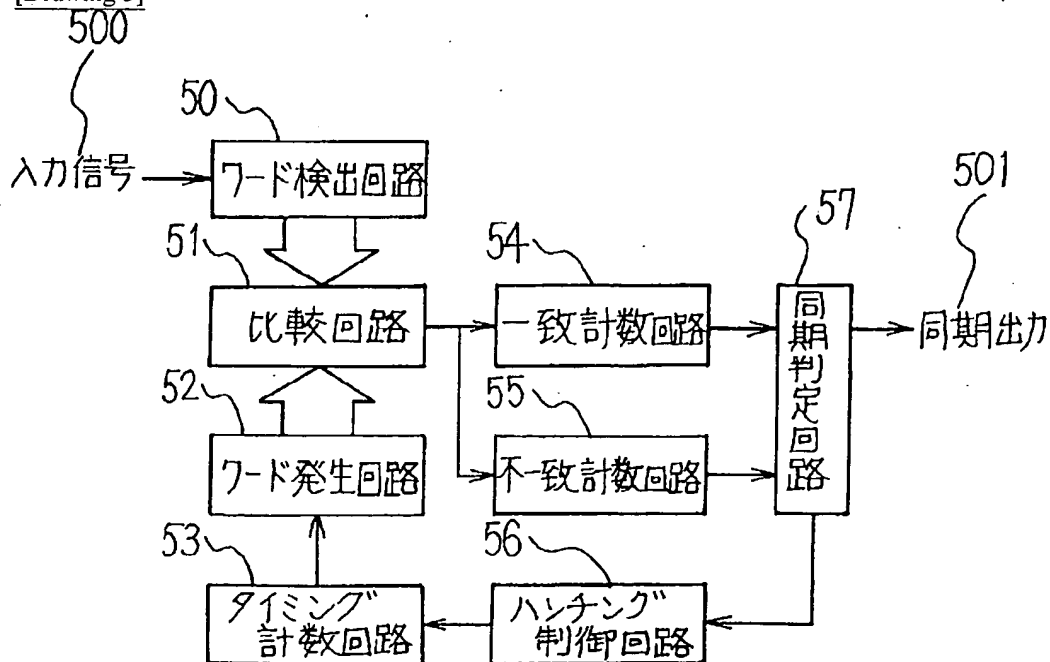




[Drawing 4]



[Drawing 5]



---

[Translation done.]

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-276153

(43)公開日 平成5年(1993)10月22日

(51)Int.Cl. <sup>5</sup>	識別記号	庁内整理番号	F I	技術表示箇所
H 0 4 L 7/08	D	7928-5K		
H 0 4 J 3/06	A	8843-5K		
H 0 4 L 7/10		7928-5K		

審査請求 未請求 請求項の数2(全 7 頁)

(21)出願番号 特願平3-308635

(22)出願日 平成3年(1991)11月25日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 浜田 樹欣

東京都港区芝五丁目7番1号日本電気株式会社内

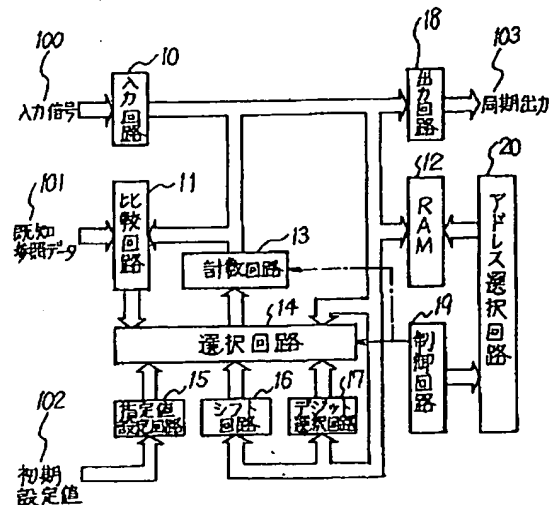
(74)代理人 弁理士 京本 直樹 (外2名)

(54)【発明の名称】 フレーム同期回路

(57)【要約】 (修正有)

【構成】同期信号を選択する入力手段10と、フレーム同期ビットや、同期保護判定計数値や、同期動作の記憶手段12と、同期ビットの一致・不一致回数の計数手段13と、抽出したフレーム・ワードと記憶されたフレームワードとの一致を判定する比較手段11と、計数手段13の初期値を入力する指定値設定手段15と、加算、減算を行うシフト手段16と、データの一部を書き換えるデジット選択手段17と、12、15、16、17の各手段からのデータを選び計数手段13に送る選択手段14と、フレーム同期動作手順を連続的に実現する制御手段19と、記憶手段13の記憶箇所を決めるアドレス選択手段20とを備えている。

【効果】複数のフレーム同期の実現にも最小限のハードの増加でよく、パラメータの変更、即ちデータ信号のフレーム同期ビットの増減、フレーム同期信号および同期の安定条件の変更に対し、初期値や計数値等の条件を変更するだけで対応できる。



## 【特許請求の範囲】

【請求項1】 フレーム同期信号を重畳したデジタル信号データから同期信号を選択する入力手段と、フレーム同期ビットや、同期の安定動作を判定する同期保護の判定計数値や、同期動作に必要な一時的な動作状態を一時記憶する記憶手段と、前記入力手段からの同期ビットの取り込み回数やフレームワードの一致・不一致計数回数を計数する計数手段と、入力データから抽出したフレームワードと外部より入力した既知のフレームワード又は前記記憶手段に記憶されたフレームワードとの一致を判定する比較手段と、前記計数手段の初期値を外部データに従って入力する指定値設定手段と、前記計数手段の加算または減算処理を行うデータのシフト手段と、記憶したデータの一部だけを書き換えるデジット選択手段と、該指定値設定手段、該シフト手段、該デジット選択手段、該記憶手段からのデータを選び前記計数手段にデータを送る選択手段と、フレーム同期動作手順を時間連続的に実現する制御手段と、その手順に呼応して前記記憶手段の記憶箇所を決めるアドレス選択手段とを備えていることを特徴とするフレーム同期回路。

【請求項2】 前記記憶手段がRAMで構成され、フレーム同期ビットと、内部ステータス監視ビットである同期判定ビット、フレーム取り込み完了判定ビット、後方保護値判定ビット、前方保護値判定ビット、ワード検出結果の一致判定ビットと、フレームの一致および不一致の判定計数値とを一時記憶することを特徴とする請求項1記載のフレーム同期回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】本発明はフレーム同期回路に関し、特にデジタルデータ伝送のフレーム同期信号の種類、同期判定条件、処理すべきフレームの数等が異っても、一種類の基本構成の回路にて処理できるフレーム同期回路に関する。

## 【0002】

【従来の技術】一般にデジタルデータの伝送装置間の信号伝送は、時系列の信号処理を行うための繰り返しの処理単位としてフレームを定義し、送信側では、このフレームの中に伝送すべき複数個のデータ列を収容して送っている。受信側では、これらのフレームの中のデータ列を選び出すために、フレーム周期のある決まったタイムスロット（例えばフレームの先頭）に重畳伝送されているフレーム同期信号を抽出し、このタイミングの同期を確立した後に必要な信号処理を行って来た。昨今、この種のデジタル信号処理においては、基本フレームの他にマルチフレームとして幾種類ものフレーム同期を同時に確立する方式や、且つLSIに適したフレーム同期方式が望まれており、大規模LSIに複数のフレーム同期回路を搭載する方法がとられてきた。

【0003】従来、この種のフレーム同期回路は図5の

のブロック図に示すように、フレーム同期ワードを含む時間シーケンシャルな入力信号500と、入力信号から同期ワードを検出するワード検出回路50と、あらかじめ定められている指定同期ワードを出力するワード発生回路52と、この指定同期ワードと入力から抽出された同期ワードと比較し、合否を判定する比較回路51と、同期ワードが合致を続けた場合にあらかじめ定められたフレーム同期ワードの合致回数に達するかどうかを計数する、いわゆる後方保護の一致計数回路54と、あらかじめ定められたフレーム同期ワードの不一致回数を計数する、いわゆる前方保護の不一致計数回路55と、最終的に一致および不一致計数回路54、55の計数結果を入力し、所定の一致又は不一致の判定条件であるかどうかを判定する同期判定回路57と、同期外れの場合に符号誤りなどにより同期復帰動作をくり返すハンチングを防止するハンチング制御回路58と、フレーム同期ワード発生回路52の基本タイミングを制御するタイミング計数回路53とで構成される。

【0004】次に従来例の動作を説明する。

【0005】入力信号500からワード検出部50でフレームワードを抽出し、比較回路51に入力する。比較回路51のもう一つの入力には、フレーム同期回路の基本タイミングを生成するタイミング計数回路53で駆動し、ワード発生回路52で作ったフレームワードを入力している。この比較回路51の判定信号はフレームの一致・不一致を計数する一致計数回路54と不一致計数回路55に入力している。これらの計数結果で同期判定回路57から同期判定信号を出力し、ハンチング回路58でタイミング計数回路53の計数を停止、継続の制御いわゆるハンチング制御を行っている。このようなフレーム同期回路は、一つの基本のフレーム同期ワードと、あらかじめ定められた一つの一致不一致の判定条件と、定められたフレームの数に対して、それぞれこの回路構成が必要となる。したがって前述の条件が変わったり、他のマルチフレーム同期がある場合には、それぞれの場合に対応した数だけこの回路構成を必要としていた。

## 【0006】

【発明が解決しようとする課題】この従来のフレーム同期回路は、フレーム同期の基本計数回路とフレームワードの一致、不一致の計数回路、フレームワードの比較判定回路と同期判定回路がそれぞれ独立に必要なので、数多くのフレーム同期を同時に実現するためには、ハード規模が増大する欠点がある。これを回避するため、大規模LSI等で実現してきたが、近年多様化する信号処理に従ってフレーム同期信号の種類、条件、数等はその時々によって異なるために、その度にLSIを開発する事は非常に困難になっている。

【0007】本発明の目的はフレーム同期信号の種類、条件、数が変わっても一つの数値計数回路と一つの比較判定回路と記憶素子で時間シーケンシャルに同期確立を

行うフレーム同期回路を提供することにある。

【0008】

【課題を解決するための手段】本発明のフレーム同期回路はフレーム同期信号を重畳したデジタル信号データから同期信号を選択する入力手段と、フレーム同期ビットや、同期の安定動作を判定する同期保護の判定計数値や、同期動作に必要な一時的な動作状態を一時記憶する記憶手段と、前記入力手段からの同期ビットの取り込み回数やフレームワードの一致・不一致計数回数を計数する計数手段と、入力データから抽出したフレーム・ワードと外部より入力した既知のフレーム・ワード又は前記記憶手段に記憶されたフレームワードとの一致を判定する比較手段と、前記計数手段の初期値を外部データに従って入力する指定値設定手段と、前記計数手段の加算または減算処理を行うデータのシフト手段と、記憶したデータの一部だけを書き換えるデジット選択手段と、該指定値設定手段、該シフト手段、該デジット選択手段、該記憶手段からのデータを選び前記計数手段にデータを送る選択手段と、フレーム同期動作手順を時間連続的に実現する制御手段と、その手順に呼応して前記記憶手段の記憶箇所を決めるアドレス選択手段とを備えている。

【0009】

【実施例】次に本発明について図面を参照して説明する。図1は本発明の一実施例のブロック図、図2は本実施例の制御回路から制御される論理処理を示すシーケンスフローの流れ図、図3は本実施例の処理時間の関係を示すタイムチャート、図4は本実施例のRAM12への記憶内容を説明する説明図である。まず図1の実施例はフレームビット（以下Fビットという）を順次サンプリングし取り込む入力回路10、あらかじめ所定の基準フレームワードがあれば、この既知参照データ101と入力Fビットと比較する比較回路11、なお後述するRAM12に新規に格納されたフレームワードがあればこれを読み出して入力Fビットと比較される。次に、基準フレームワードおよび後述するフレーム同期動作手順の過程における各ステータス情報の記憶、およびフレーム取り込み回数の計数値(C)、フレームワードの一致判定の計数値(Cy)、フレームワードの不一致判定の計数値(Cn)等の判定条件を記憶しているRAM12、各プロセスの動作手順における計数動作を行う計数回路13、計数回路13の初期値等を外部からの初期設定値102により設定する指定値設定回路15、計数回路13の加算減算処理を行うシフト回路16、データの一部のみを書き換えるデジット選択回路17、これらの指定設定回路15、シフト回路16、デジット選択回路17、RAM12のデータを選び計数回路13に送る選択回路14、各プロセスの動作を時間シーケンシャルに行うように制御する制御回路19、この制御信号によりRAM12のアドレス選択を行うアドレス選択回路20、最終的に確定したフレーム同期出力信号103およびR

AM12の情報等を外部に取り出す出力回路18から構成される。

【0010】次に制御回路19により制御されるシーケンスフローを図2および図4のRAM12の記憶内容も参照して説明する。ここでは図2のステップS1の左側のフローとなる同期状態から同期外れの状態に移る例を説明する。入力回路10で入力データのFビットをサンプルし取り込む(ステップS2)。この時、計数回路13には前フレームまでのFビット列を格納しているRAM12から所定のアドレス(aaaaH)のFビット(図2ではF1~F8の8ビット構成)の格納データをシフト回路16を介してFビット列を1ビットシフトして呼出している。前述のサンプルした新たなFビットを前記Fビット列の最後尾につけ、これを新たなFビット列としてRAM12の所定のアドレス(aaaaH)に格納する。次にFビットの取り込み回数の計数値(C)をRAM12所定のアドレス(ccccH)から計数回路13に取り込み、1を加算して同じアドレスに再度格納する(ステップS3)。この時、あらかじめ分かっている取り込み回数と実際の取り込み回数の計数値(C)と比較し、もし取り込み回数が完了していない場合には、次のフレーム同期シーケンスに移り、完了した場合はワード検出シーケンスに移る(ステップS4)。すなわち、Fビット列を前述と同様にアドレス(aaaaH)から計数回路13に取り込む。フレーム同期の期待値は既知の基準フレームワードである参照データ101として外部より比較回路11に入力し前記計数回路13の値と比較する。その比較値が一致した場合は次のフレームシーケンスに移り、不一致の場合はRAM12の所定のアドレス(eeeeH)に格納した不一致判定計数値(Cn)に1を加算する(ステップS6; S7)。この(Cn)が同期の安定条件で決まる計数値Nを越えないときは、(Cn)値を前記アドレス(eeeeH)に再格納し次のフレーム同期シーケンスに移る。(Cn)が(N)を越えた場合には、同期外れと判定し、RAM12の所定のアドレス(bbbbH)の指定ビット(S1)に「0」を書き込む(1:同期、0:非同期)。更に、アドレス(ddddH)の(Cy)値に「0」を書き込み一致判定計数値をリセットする(ステップS8、S9)。

【0011】ここで図4におけるRAM12のアドレスbbbbHの内部ステータス監視ビットを説明する。S1は同期判定ビット、S2はFビット取り込み完了判定ビット、S3はワード検出一致計数値(Cy)が同期安定条件で決まる計数値(Y:後方保護値)を越えたかの判定ビット、S4はワード検出不一致計数値(Cn)が計数値(N:前方保護値)を越えたかの判定ビット、S5はワード検出結果の一致判定ビット、S6~S8はその他のフレーム同期と直接関係ないビットである。これらS1~S5は、判定毎の区切りでメモリの指定アドレ

スの該当1ビットをデジット選択回路17にて選び、選択回路14で該当ビットだけをメモリ内容の書換えを行うように動作する。したがって、フレーム同期の状態監視は、これらの監視ビットを読み出す事で、容易に判定する事が出来る。例えば、同期判定はS1を定期的に確認すれば即座に分かり、また信号処理に必要な同期タイミングはフレーム周期毎にS1とS5を同時に確認する事によって特定する事が出来る。

【0012】前述したように指定値設定回路15は、計  
数回路14の初期値や計数上の指定値を初期設定入力1 10  
02から入力するためのもので、これにより任意のフ  
レーム長の同期信号や安定条件を自由に変更してRAM1  
2に格納できる。制御回路19は、計数回路13や選択  
回路14等全体の制御を前述のフローにより行くと共  
に、アドレス選択回路20を時間シーケンシャルに動作  
するように制御し、アドレス選択回路20がRAM12  
へのメモリ・アドレスを指定するように構成している。  
出力回路18は、同期結果の出力信号や前述のステータ  
ス監視ビット等を外部に出力するものである。以上の処  
理を図3に示すタイムチャートのように順次繰り返して行  
う事でフレーム同期を実現できる。また、同期外れ状態  
から同期復帰過程の処理シーケンスは図2のシーケンス  
・フローの右側のフローが表しているが、上で説明した  
と同様なシーケンスで実現できる。

#### 【0013】

【発明の効果】以上説明したように、本発明によれば、  
フレーム同期処理を一つの計数手段と、計数値やフレイ  
ムワード等を一時記憶する記憶手段と、計数値やフレイ  
ムワードの比較判定手段と、かつフレーム同期を時間シ  
ーケンシャル的に連続的に繰り返す制御回路とを備える 30  
ことにより、複数のフレーム同期を実現する場合にも最  
小限のハードの増加で実現できる。しかもパラメータの  
変更即ちデータ信号のフレーム同期ビットの増減、フレ

ーム同期信号の変更、同期の安定条件の変更に対し、初  
期値や計数値等の条件を変更するだけでフレキシブルに  
対応できる効果がある。

#### 【図面の簡単な説明】

【図1】本発明の一実施例のフレーム同期回路のブロッ  
ク図である。

【図2】本実施例のフレーム同期回路のシーケンスフロ  
ー図である。

【図3】本実施例の処理時間の関係を示すタイムチャー  
トである。

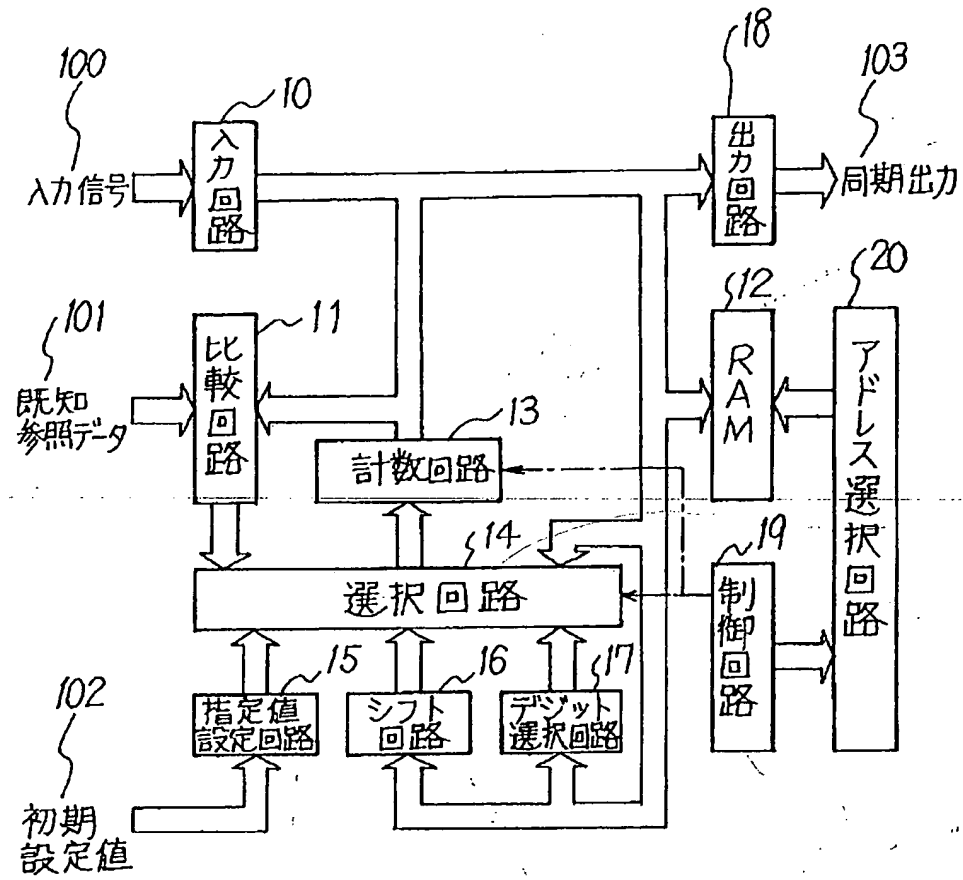
【図4】本実施例のRAMの記憶内容を示す説明図であ  
る。

【図5】従来のフレーム同期回路のブロック図である。

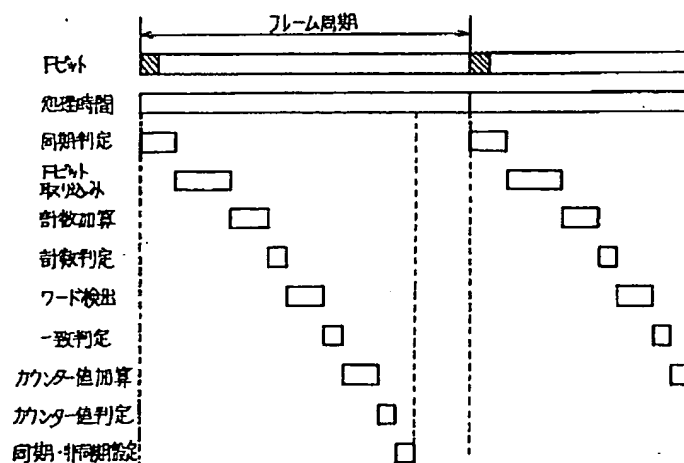
#### 【符号の説明】

10	入力回路
11	比較回路
12	RAM
13	計数回路
14	選択回路
15	指定値設定回路
16	シフト回路
17	デジット選択回路
18	出力回路
19	制御回路
20	アドレス選択回路
50	ワード検出回路
51	比較回路
52	ワード発生回路
53	タイミング計数回路
54	一致計数回路
55	不一致計数回路
56	ハンチング制御回路
57	同期判定回路

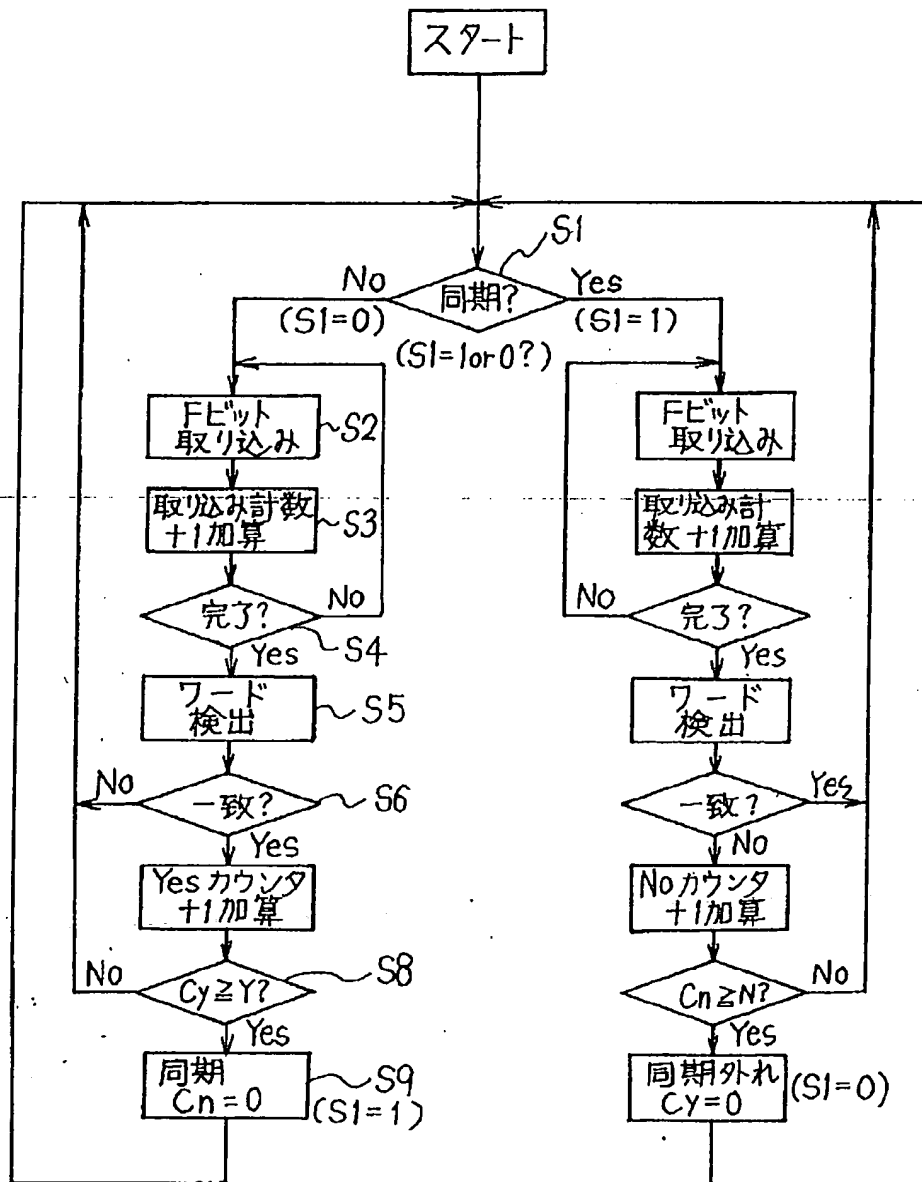
【図1】



【図3】

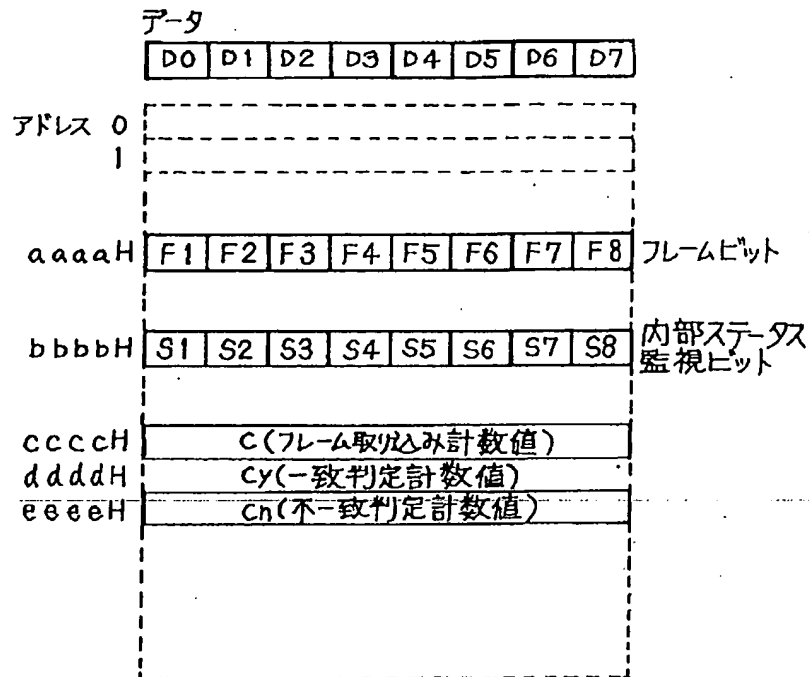


【図2】





【図4】



【図5】

